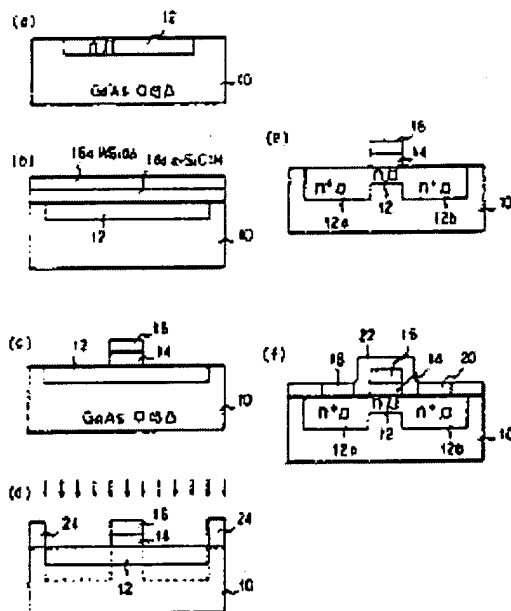


FIELD-EFFECT TRANSISTOR

Patent number: JP63128760
Publication date: 1988-06-01
Inventor: ONISHI TOYOKAZU
Applicant: FUJITSU LTD
Classification:
 - international: **H01L29/80; H01L29/66; (IPC1-7): H01L29/80**
 - european:
Application number: JP19860276128 19861119
Priority number(s): JP19860276128 19861119

Abstract of JP63128760

PURPOSE: To manufacture a field-effect transistor with good control-lability, by means of a low-cost system and with high throughput by a method wherein a gate layer showing an opposite conductivity type is formed on a channel layer on one conductivity type and is connected to the channel layer as a p-n junction while a source region and a drain region, whose conductivity type is the same as that of the channel layer and whose concentration is high, are formed on both sides of the channel layer. **CONSTITUTION:** An n-type channel layer 12 is formed selectively on the surface of a GaAs single-crystal substrate 10 by implanting ions of $\langle 29 \rangle \text{Si} \langle + \rangle$ and by an annealing process. Boron-doped amorphous SiC:H and WSi_{0.6} are deposited; layers 14a, 16a are formed; after patterning, a gate layer 14 and a gate electrode 16 are formed approximately in the central part of the channel layer 12. By making use of a mask 24, of SiO₂, which has windows formed at the n-layer 12 and the gate electrode 16 as masks for implantation use, ions for an n $\langle + \rangle$ layer are implanted; a protective film of AlN is coated on the whole surface; after annealing, n $\langle + \rangle$ layers 12a, 12b are formed; windows for a source electrode and a drain electrode are opened; the source electrode 18 and the drain electrode 20 are formed.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-128760

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)6月1日

H 01 L 29/80

C-8122-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特 願 昭61-276128

⑰ 出 願 昭61(1986)11月19日

⑱ 発 明 者 大 西 豊 和 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 青 柳 稔

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

単結晶半導体表面に形成された一導電形を呈するチャンネル層(12)の上に、該導電形と反対の導電形を呈するアモルファス、微結晶或いは多結晶半導体からなるゲート層(14)を設けて該チャンネル層とp-n接合を形成させ、該ゲート層を設けたチャンネル層の両側に該チャンネル層と同じ導電形かつ高濃度のソース、ドレイン領域(12a, 12b)を設けてなることを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

(概 要)

アモルファス半導体/単結晶半導体からなるp-n接合をゲートとして用いた接合型電界効果トランジスタ。

(産業上の利用分野)

本発明は接合型電界効果トランジスタに関し、歩留高く高速低消費電力のGaAs LSIを作成するに適切な基本デバイスを提供しようとするものである。

(従来の技術)

高速低消費電力のGaAs LSIを作成するにはDCFL論理回路を採用することが最適と考えられている。DCFL論理回路はゲートに順方向バイアスを印加することにより機能し、印加可能な最大の順方向バイアスによりその回路の論理振幅及びノイズマージンが制限される。

基本デバイスとしてMES(メタル ショットキ)FETを用いた場合には、印加可能な最大の順方向バイアスはショットキゲートのバリアハイトで制限され、通常0.75V程度である。その結果論理振幅0.6V、ノイズマージン0.1V程度が限界であるため、DCFL回路を構成するにはFETの閾値のバラツキを50mV程度に小さくする必要がある。このバラツキは現状のGaAs IC作成

技術では実現が難しく、MES FETを用いた DCFL GaAs LSI の実用化の妨害要因となっている。

上記問題を解決するには、よりバリアハイトの大きな接合例えば p-n 接合、ヘテロ接合をゲートに用いればよい。現実には、GaAs 単結晶に拡散及び／又はイオン注入技術を用いて p-n 接合ゲートを形成してなるジャンクション FET を基本デバイスとして用いた DCFL GaAs LSI が研究レベルではあるが実現されている。しかしながらこれは、ジャンクション深さの制御が難しい等の理由で、実用化に至っていない。

他の p-n 接合の形成法として MBE、MOCVD を用いたエピタキシャル成長法も、研究レベルでは試みられている。しかしながらこれらの方法は、質のよい p-n 接合を得ることができる反面、膜厚、濃度の制御に極めて高度な熟練を必要とし、やはり未だ実用化に至っていない。またこれらの技術は極めて高価な装置を必要とし、かつスループットも低い。

留りで、制御性よく、安価な製造装置を用いて製作することができる。また構造上 p^+ 層 14 が GaAs 基板中に埋込まれていないため、これが埋め込まれている通常タイプの p-n 接合形 FET では大きな値になるゲート容量が、通常の MES FET と同程度となり、更に、 p^+ 層が完全に空乏化する厚さに該 p^+ 層を設定すれば接合部の空乏層幅が MES FET より大きいので、MES FET より小さくすることが可能である。勿論、ゲートにヘテロ p-n 接合を用いるので、バリアハイトが高く、従ってノイズマージンを高くすることができる。

(実施例)

第 1 図に本発明の電界効果トランジスタを示す。10 は GaAs (ヒ化ガリウム) 単結晶からなる基板、12 は該基板 10 の表面側に形成された n 型層で FET のチャンネルになる。12a、12b は n 層 12 の両側に形成された n^+ 層で、ソース領域とドレイン領域になる。14 は n 層 12 の表面に被

(発明が解決しようとする問題点)

それ故本発明は、制御性良かつ比較的安価な装置により、高いスループットにて製作できる接合形電界効果トランジスタのゲート構造を開発し、上記トランジスタの製造の実用化を図ろうとするものである。

(問題点を解決するための手段)

本発明の電界効果トランジスタは、単結晶半導体表面に形成された一導電形を呈するチャンネル層 (12) の上に、該導電形と反対の導電形を呈するアモルファス、微結晶或いは多結晶半導体からなるゲート層 (14) を設けて該チャンネル層と p-n 接合を形成させ、該ゲート層を設けたチャンネル層の両側に該チャンネル層と同じ導電形かつ高濃度のソース、ドレイン領域 (12a、12b) を設けてなることを特徴とするものである。

(作用)

このトランジスタは従来技術の組合せで、高歩

留されたボロン (B) ドープの p 型アモルファスシリコンカーバイド a-SiC:H 層で、GaAs の n 層 12 とヘテロ p-n 接合を作る。16 は a-SiC:H 層 14 に取付けられた電極 (ゲート電極) でタングステンシリサイド (WSix) (こゝでは $x = 0.6$) からなる。18、20 はソース、ドレイン領域 12a、12b に取付けられたソース、ドレイン電極、22 は絶縁層である。

層 14 にはアモルファス SiC:H の他にアモルファス Si:H を用いてもよい。又はアモルファス (非晶質) 半導体の他に多結晶半導体あるいは微結晶 (多結晶より結晶粒子の小さいもの) 半導体を用いてもよい。

このトランジスタは安価な装置を用いて、制御性良く、高歩留りで製造できる。n 層 12 と p-n 接合を構成する p^+ 層 14 は GaAs 基板 (n 層 12) 中に埋込まれていないので、通常、接合型 FET では大きな値になるゲート容量が通常の MES FET と同程度になり、あるいは p^+ 層 14 が完全に空乏化する厚みに設定すれば、接合部

の空乏層幅がMES FETより大きい、小さくすることができる。

次にこのトランジスタの製造法を第2図を参照しながら説明する。先ず第2図(a)に示すように、 $^{29}\text{Si}^+$ のイオン注入(150 KeV、 $5 \times 10^{12} \text{ cm}^{-2}$)およびアニールにより、GaAs単結晶基板10の表面側に選択的にn形チャネル層12を形成する。次に第2図(b)に示すように、プラズマCVD法により、ボロン(B)ドーパされたアモルファスSiC:Hを1000Å、及び同じ真空室内で引続いてWSi_{0.6}を4000Å堆積し、層14a、16aを作る。次に第2図(c)に示すように、フォトリソグラフィ及びドライエッチング法(CF₄+O₂ガス使用)により層16a、14aをパターニングし、チャネル12のほぼ中央部にゲート長約1.5μmのゲート層14およびゲート電極16を形成する。ゲート層14はp⁺a-SiC:H層であり、n層12とヘテロp-n接合を形成し実質上のゲートになる。WSi_{0.6}層16はこのゲート層14に対するゲート電極となる。これは、a

-SiC:H層14には配線を直接取付けにくい(ボンディングしにくい)のをカバーするためである(WSi_{0.6}には容易にボンディングできる)。a-SiC:Hなどは太陽電池などに用いられており、従って層14の形成は周知技術により容易にできる。

次に第2図(d)に示すようにn層12部分に窓を持つSiO₂のマスク24を形成し、該マスクとゲート電極16を注入マスクとして、ソース、ドレイン領域形成のためのn⁺層用イオン注入($^{29}\text{Si}^+$ 、175 KeV、 $2 \times 10^{13} \text{ cm}^{-2}$)を行なう。次に、注入されたn⁺層用イオンを活性化するために図示しないがAENの保護膜を全面に被着し、850℃、1秒のアニールをランプアニール装置により行ない、第2図(e)に示すようにn⁺層12a、12bを形成する。次に、図示しないがCVD法によりSiO₂を被着し、その上にレジストを塗布し、フォトリソグラフィによりパターンニングしてソース、ドレイン電極窓をあけ、次いでAuGe/Auを300Å/3000Å蒸着し、リフト

オフして第2図(f)に示すようにソース電極18およびドレイン電極20を作る。22は上記のSiO₂層である。SiO₂層22はリフトオフを確実に行なわせるためのものである。次いでアロイ法(450℃、1分の熱処理)によりソース、ドレイン電極18、20とn⁺層12a、12bとのオーミックコンタクトをとる。この第2図(f)は第1図と同じものである。

(発明の効果)

本発明によれば、従来技術の組合せで、高歩留り、制御性よく、安価な製造装置を用いて高性能の全く新しい構造のp-n接合形電界効果トランジスタを製作できる。また構造上p⁺層14がGaAs基板中に埋込まれていないため、これが埋込まれている通常タイプのp-n接合形FETでは大きな値になるゲート容量が、通常のMES FETと同程度となり、更に、p⁺層が完全に空乏化する厚さに該p⁺層を設定すれば接合部の空乏層幅がMES FETより大きい、MES

FETより小さくすることが可能である。勿論、ゲートにヘテロp-n接合を用いるので、バリアハイトの高い従ってノイズマージンの高いFETが得られる。p-n接合形成に拡散法あるいはイオン注入法を用いると、埋込み形となり、前述の欠点があると共に極めて薄い(これは薄い方がよい)p層14の形成が困難である)。この点、アモルファスと単結晶のp-n接合とすると、これは層12上に層14をプラズマCVD法などにより形成すればよく、n層には埋め込まれない薄いp層形成を簡単に行なうことができる。

4. 図面の簡単な説明

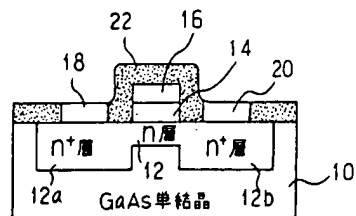
第1図は本発明のトランジスタの構造を示す断面図、

第2図は本発明のトランジスタの製造工程の説明図である。

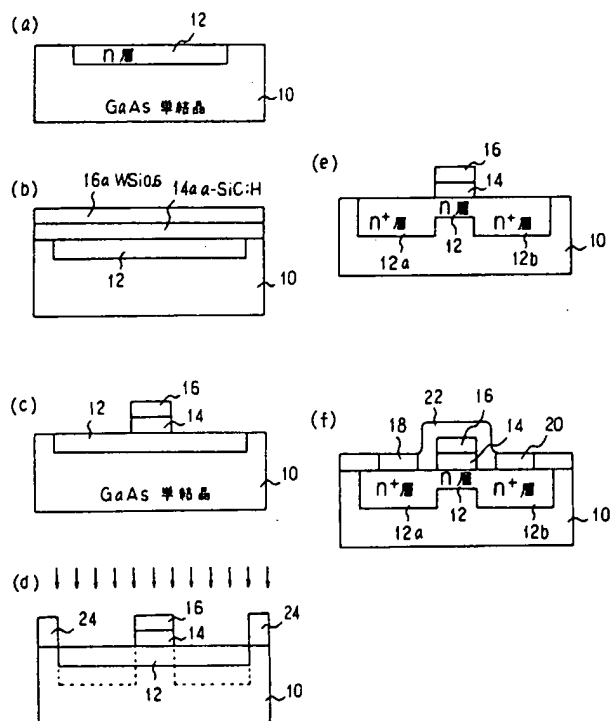
図面で12はチャネル層、14はゲート層、16はゲート電極、12a、12bはソース、ドレイン領域、18、20はソース、ドレイン電極で

ある。

出 願 人 富 士 通 株 式 会 社
代理人弁理士 青 柳 稔



本発明のトランジスタの構造を示す断面図
第 1 図



本発明のトランジスタの製造工程の説明図
第 2 図